

웨어러블/플렉시블 전자 소재 연구동향

유현균¹, 박귀일², 이건재^{1,*}

¹한국과학기술원 (KAIST), 신소재공학과, 유연 및 나노바이오 소자 연구실, ²경남과학기술대학교, 에너지공학과

1. 서론

모바일 혁명이라고 불리는 스마트폰 기술의 발전은 2007년 아이폰 출시 이후 전례 없는 증가세를 보이며 크게 발전해왔고 이제 성숙기에 접어들었다. 2012년 구글에서 안경모양의 웨어러블 컴퓨터인 ‘프로젝트 글래스’를 발표한 이후, IT업계는 스마트폰의 혁신을 대체할 수 있을 것으로 전망되는 차세대 모바일 기술로 플렉시블(flexible) 또는 웨어러블(wearable) 디바이스에 주목하게 되었으며, 최근 다양한 웨어러블 제품의 출시를 통해 웨어러블 디바이스 시장을 선점하기 위한 주도권 경쟁이 치열하게 전개되고 있다. 웨어러블 디바이스란 ‘인체에 착용 또는 부착하여 컴퓨팅이 가능한 전기/전자소자로 구성된 모든 종류의 기기’를 의미한다. 현재 시장에서는 안경, 시계 등과 같은 액세서리 형태의 웨어러블 제품이 주류를 이루고 있으나, 학교와 연구소를 중심으로 웨어러블 기술의 근본적인 장점인 착용감을 극대화 하면서 인간에 더욱 더 근접하여 다양한 기능을 제공할 수 있는 진화된 형태의 의복형 또

는 신체부착형 웨어러블 전자소자 개발에 대한 연구들이 활발하게 진행되고 있다. 특히, 신체의 일부에 부착할 수 있는 신체부착형 웨어러블 컴퓨터가 실현되기 위해서는 유연성과 신축성을 가지는 전자회로 기술, 프로세서 기술, 배터리 기술, 메모리 기술 등 전자기기 동작에 필수적인 유연한 전자소자 부품 기술 개발이 요구되며, 그 중에서 메모리 소자 및 고집적 반도체 회로(LSI, large scale integration)는 데이터의 저장뿐만 아니라, 전자기기 내에서의 정보처리와 외부 기기와의 통신에 필수적인 부품으로써 신체부착형 웨어러블 전자기기 구현에 필수적으로 개발되어야 한다[1].

현재 웨어러블/플렉시블 디바이스에 적용하기 위하여 유연성과 신축성을 가지는 전자소자들은 실리콘, 산화물, 유기물 및 탄소나노튜브/그래핀 등 다양한 소재들을 이용하여 활발하게 연구가 진행되고 있다. 이에 본 리뷰 논문에서는 최근에 개발된 유연한 특성을 갖는 비휘발성 메모리 및 LSI 소자 연구개발 동향에 관해 다루고자 한다.

2. 실리콘 소재를 이용한 유연 메모리 및 집적회로 소자

실리콘 공정을 기반으로 하는 반도체 산업은 비약적인 발전을 거듭해 사회 전반에 미치는 파급효과가 매우 크다. 현재까지도 실리콘은 반도체 산업의 주력 소자로 여러 분야에 응용되고 있다. 그러나 기존의 실리콘 공정 기반의 집적회로 및 메모리 소자 기술은 딱딱한 실리콘 또는 SOI (silicon on insulator) 기판에서 공정이 이루어지며, 이로 인해 웨어러블/플렉시블 디바이스용 부품소재로는 적합하지 않았다. 특히 실리콘 반도체 공정은 도핑 공정, 박막 증착 공정, 오믹 접촉 공정 등에서 고온 공정이 요구되는데, 이는 플렉시블 디바이스 구현을 위해 사용되어야 하는 유연기판에 적용이 불가능하므로, 실리콘 소재를 이용하여 유연기판에 고성능의 전자소자를 구현하는데 한계가 있었다. 이러한 한계점을 극복하여 실리콘 기반의 고성능 유연 전자소자를 제작할 수 있는 새로운 방법인 'transfer printing' 기술이 2004년 제안되었다[2]. 이 방법은 소자 성능이 뛰어난 단결정 실리콘 박막을 습식 식각(wet etching) 공정을 이용하여 벌크 실리콘 기판으로부터 직접 뜯어낸 후 소프트 리소그래피(soft lithography) 방식을 이용해 유연한 기판에 옮기는 기술이다[2, 3]. 이 기술을 이용

하면 고성능을 위한 고온 처리 공정(도핑, 오믹 접촉 공정 등)이 완료된 단결정 실리콘 박막을 유연기판에 전사할 수 있으며 이로 인해 뛰어난 전기적 성능(유효 이동도 $> 500 \text{ cm}^2/\text{V} \cdot \text{s}$)을 갖는 실리콘 소재를 이용한 유연 전자소자를 제작할 수 있었다(그림 1)[2, 3].

초기 유연 메모리 관련 연구는 저항변화 메모리(resistive random access memory, RRAM) 소자를 이용하여 활발히 연구되었는데, 이는 저항변화 메모리가 저온 공정이 가능하면서 간단한 구조를 갖는 특성으로 인해, 유연기판에서 곧바로 제작할 수 있었기 때문이다[4, 5]. 제작된 유연 저항변화 메모리는 다양한 소재들을 이용하여 보고가 되었지만 수많은 메모리 셀(memory cell) 간의 간섭현상을 해결하지 못해 사실상 실용화가 불가능했다[6, 7]. 메모리 구동을 위해서는 메모리 역할을 하는 메모리 셀과 메모리 상태를 제어할 수 있는 고성능 선택 소자를 집적시켜야 하지만 유연 기판에서는 고성능의 선택 소자를 구현하지 못해 완전구동 가능한 유연 메모리 개발이 어려웠기 때문이다. 최근에 단결정 실리콘 박막을 transfer printing 방식으로 유연기판에 전사하여 고성능의 선택소자를 구현함으로써 이러한 문제를 해결하고자 하는 연구들이 보고되었다[1, 8, 9]. 그림 2는 1Transistor-1Memristor 구조의 유연한 메모리의 모식도, 현미경 사진 및 실제

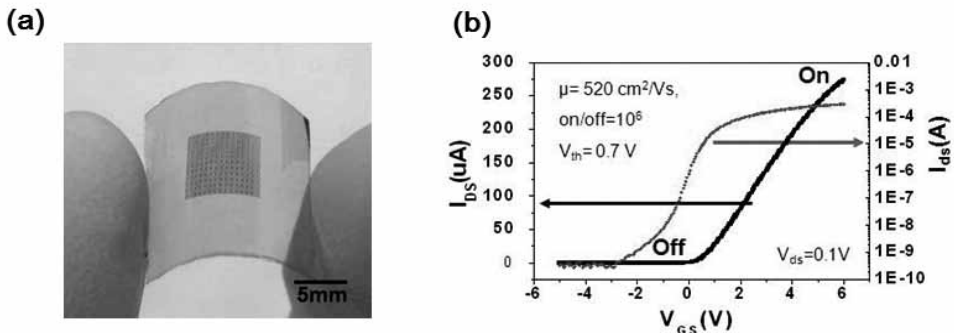


그림 1. (a) 유연기판 위에 전사된 단결정 $\mu\text{s-Si}$ 소자들의 사진 (b) 전사된 단결정 실리콘을 이용하여 제작한 트랜지스터의 트랜스퍼 곡선(transfer curve). $\mu\text{s-Si}$ 소자들의 유효 모빌리티는 $500 \text{ cm}^2/\text{V} \cdot \text{s}$ 이상으로 뛰어난 전기적 성능을 유연한 기판 위에 구현하였음[2]

유연 메모리 사진을 보여주고 있다[1]. 모든 메모리 셀은 랜덤 액세스 구동(random access operation)을 위해, 워드 라인(word line), 소스 라인(source line), 비트 라인(bit line)을 통해 NOR 구조로 연결되어 있다. 고성능의 유연 트랜지스터 소자 제작을 위해 SOI 기판 위에서 고온 도핑 공정을 완료한 후, 앞서 언급한 것처럼 소프트 리소그래피 방식으로 도핑된 실리콘 박막을 PI(Polyimide) 플라스틱 기판에 전사한다. 이후 유연 기판 위에서 수행 가능한 모든 후속공정을 완료하여 실리콘 트랜지스터와 Al/a-TiO₂/Al 구조의 저항변화 메모리가 집적된 메모리 셀 어레이가 제작되었다[1]. 제작된 메모리 소자는 그림 2(c)와 같이 우수한 유연성을 보였으며, 반복적인 굽힘에 의해서도 소자의 성능 및 형성에는 변화가 없어 매우 우수한 기계적 안정성을 보였다. 이 소자는 기존까지 개발된 유연 저항변화 메모

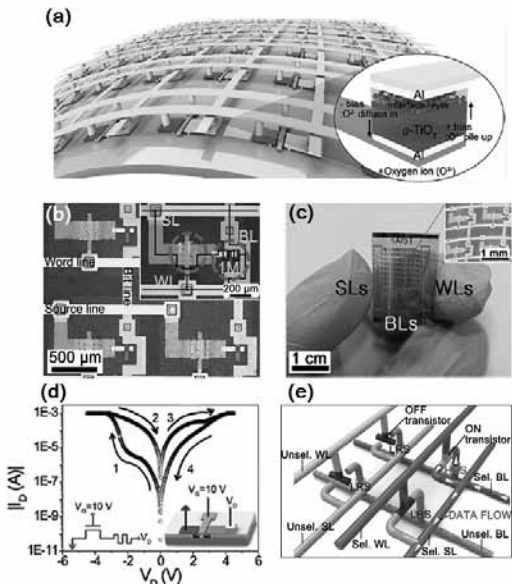


그림 2. (a) 유연한 1T-1M RRAM의 모식도와 저항변화 메커니즘 (b) 저항변화 메모리의 광학 현미경 사진과 대응되는 회로도 (c) 유연한 메모리의 사진과 확대된 사진 (d) 1T-1M 메모리 셀의 드레인 전류-드레인 전압 특성 (e) 선택 소자인 트랜지스터가 있을 때의 읽기 동작[1]

리들과는 달리 고성능의 실리콘 트랜지스터를 집적함으로써 유연 RRAM 소자 제작에 중요한 발판이 되었다. 후속 연구에서는 실리콘 트랜지스터에 비해 집적도 면에서 유리한 실리콘 다이오드를 이용하여 1Diode-1Resistor(1D-1R) 구조의 저항변화 메모리[8] 및 상변화 메모리(phase change memory)[9]에 관한 연구들이 보고가 되어 고성능의 실리콘 선택 소자를 이용한 유연 메모리 제작의 가능성을 꾸준히 제시하고 있다 (그림 3).

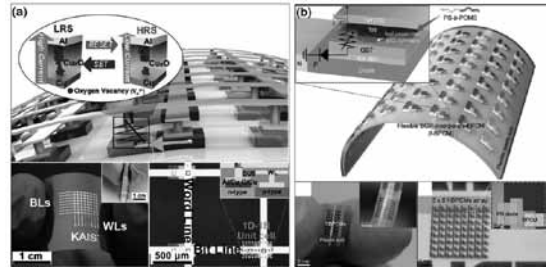


그림 3. (a) 1D-1R 구조의 유연 저항변화 메모리[8] (b) 1D-1R 구조의 유연 상변화 메모리[9]

최근 연구에서는 transfer printing 방식의 단점을 보완하여 벌크 실리콘 기판에서 전자소자 제작에 필요한 모든 반도체 공정을 완료한 후 제작된 전체 실리콘 소자를 유연기판에 전사하고자 하는 시도들이 이루어지고 있다[10, 11]. 대표적으로는 실리콘 또는 SOI wafer의 뒷면을 화학적 기계적 연마(CMP, chemical mechanical polishing) 공정 또는 식각 공정을 이용하여 얇아진 실리콘 칩을 유연기판에 전사하는 방식[10]과 니켈 막이 벌크 실리콘 기판위에 형성되었을 때 유도되는 기계적인 응력현상을 이용하여 대면적으로 실리콘 소자를 박리하여 전사하는 방식이 있다[11]. 이러한 공법들은 제작공정이 완료된 대면적 실리콘 소자를 효과적으로 벌크 실리콘 기판에서 유연기판으로 전사할 수 있다는 장점을 가지고 있다. 그림 4는 생체 삽입형 유연 RFICs(radio frequency integrated circuit)

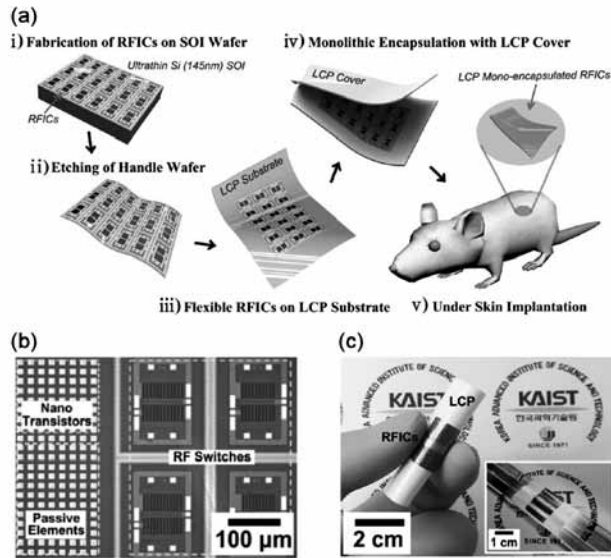


그림 4. (a) 유연 RFICs의 제작공정 모식도 (b) 유연 RFICs의 광학 현미경 이미지 (c) 유연 RFICs의 실제 소자 사진[10]

소자의 제작 공정 모식도 및 실제 소자 사진을 보여주고 있다[10]. 유연 RFICs 소자의 제작을 위해, SOI 기판 위에 반도체 회로를 제작한 후 뒷면의 handle 기판을 습식 식각 방식으로 제거하는 방법을 이용하여 약 천 개의 트랜지스터로 구성된 고집적 유연 RFICs 어레이를 제작할 수 있었다. 이 실험에서는 SOI 기판 위에서와 유연기판으로 전사한 후에 소자의 전기적 특성 평가를 진행하였으며, 측정결과 전사 전과 후에 전기적 특성에 거의 변화가 없음을 확인하였다. 또한 이 소자를 신경보철기와 같은 bio-integrated electronics에 적용하기 위해 생체친화적인 liquid crystal polymer(LCP)을 이용하여 패키징 공정을 수행하고 쥐의 생체 내에 이식하였으며, 6주간의 실험에서 안정적인 소자의 구동을 보고하였다[10]. 그림 5는 대면적 유연 SRAM(static random access memory)의 제조 공정을 나타내는 모식도 및 실제 소자 사진을 보여주고 있다[11]. 이 실험에서는 기계적 박리를 위해 SOI 기판을 사용하였고, 기판 위에 니켈 막을 증착하여 니켈 층

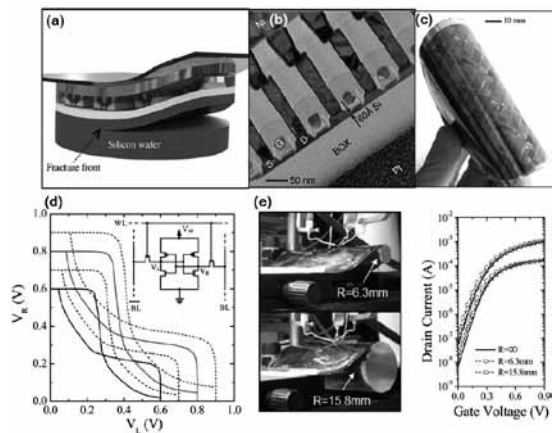


그림 5. (a) 니켈을 이용한 기계적 박리 공정의 모식도 (b) 실리콘 소자의 TEM (transmission electron microscopy) 단면도 (c) 유연한 실리콘 소자의 사진 (d) 유연 SRAM 소자의 전기적 특성 (e) 유연 SRAM 소자의 구부림 테스트 사진 및 전기적 특성[11]

의 잔류응력 때문에 발생하는 인장응력과 기판에서 작용하는 압축응력간의 불균형에 의해 유도되는 실리콘 박막 박리 현상을 이용하였다[11]. 이를 통해 유연기판

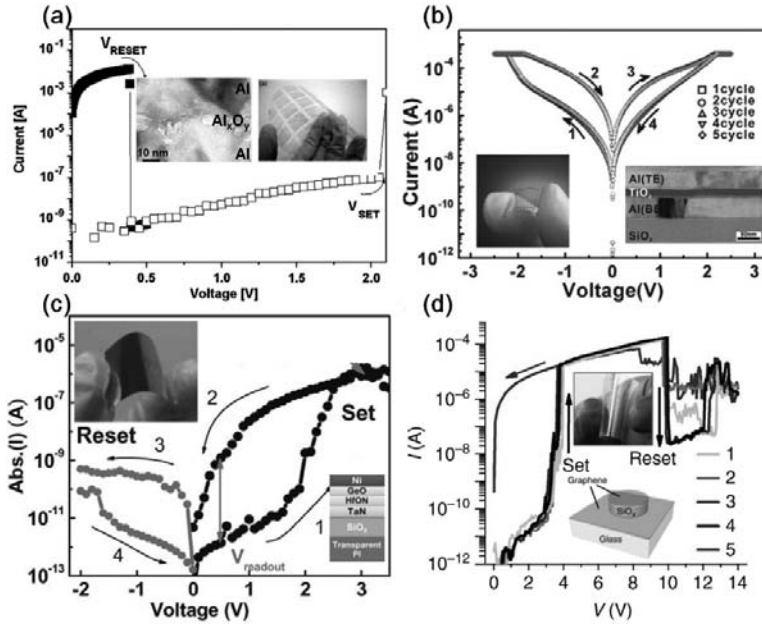


그림 6. 산화물 소재를 이용하여 제작된 유연 저항변화 메모리의 전류-전압 특성 (a) Al/AIO_x/Al 구조의 메모리 셀[15] (b) Al/a-TiO₂/Al 구조의 메모리 셀[16] (c) Ni/GeO/HfON/TaN 구조의 메모리 셀[17] (d) graphene/SiO_x/graphene 구조의 투명한 메모리 셀[18]

에 전자된 SRAM의 메모리 특성을 확인하였으며 구부림 반경(bending radius)이 6.3 mm 에서도 소자 성능의 하락 없이 유지되는 우수한 유연성을 보고하였다 [11]. 이러한 대면적의 전체 실리콘 전자 방식들은 현재의 실리콘 공정을 기반으로 하는 반도체 공정을 그대로 이용하여 실리콘 전자소자를 제작한 후 완성된 실리콘 칩을 대면적으로 옮길 수 있으므로, 이를 통해 다양한 실리콘기반의 웨어러블/플렉시블 전자소자 시스템 제작에 적용될 수 있는 가능성을 제시하고 있다[10, 11].

2. 산화물 소재를 이용한 유연 메모리 소자

앞서 언급한 바와 같이, 유연 메모리로서 저항변화 메모리가 가장 주목 받고 있다. 1960년대부터 연구되어 온 저항변화 메모리는 매우 다양한 소재들을 이용하여 저항변화 현상이 보고되었으며, 그 중에서 산화물

소재를 이용한 금속-절연체-금속(metal-insulator-metal) 구조의 저항변화 메모리 소자가 대표적이라고 할 수 있다[12]. 특히, 산화물 소재를 이용한 저항변화 메모리 소자는 유연 메모리로의 적용에 적합한데, 이는 산화물 소재의 근본적인 장점인 저온 공정과 3차원 적층 구조에 용이한 특성으로 인하여 고집적 유연 메모리 구현에 매우 유리하기 때문이다[13, 14].

유연 저항변화 메모리 소자 제작을 위해 현재까지 보고된 산화물 소재는 매우 다양한데, 대표적으로는 AlO_x[15], a-TiO₂[16], GeO/HfON[17], SiO_x[18]가 있다. 그림 6(a)는 Al/AIO_x/Al 구조의 유연 저항변화 메모리의 전류-전압 곡선을 나타내고 있다[16]. 전압의 극성에 관계없이 저항변화 현상이 나타나는 단극성(unipolar) 특성[12]을 보이고 있으며 하부 전극인 Al을 증착한 후, Al을 seed 물질로 이용한 플라즈마 옥시데이션(plasma oxidation) 공정으로 저

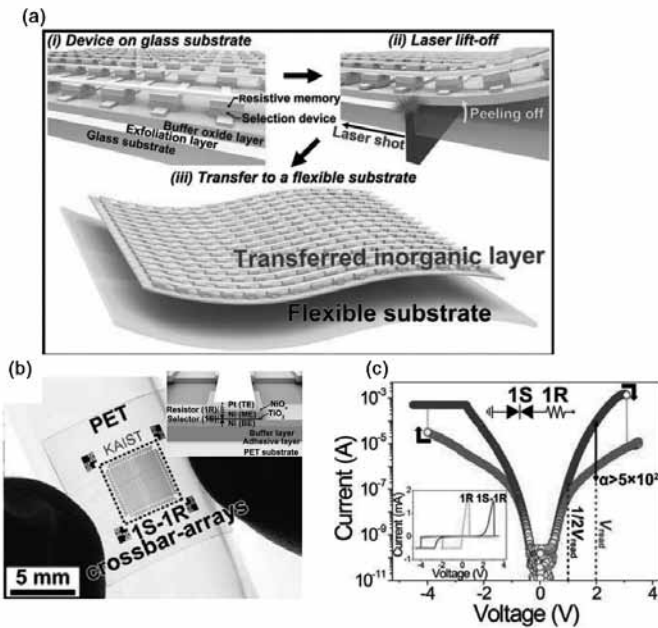


그림 7. (a) 1S-1R 구조의 저항변화 메모리 소자의 레이저리프트오프 공정 모식도 (b) 1S-1R 구조의 유연 저항변화 메모리 소자의 사진 (c) 1S-1R 구조의 유연 저항변화 메모리 소자의 전기적 특성[20]

항변화 물질인 AlO_x 를 형성하였다[8, 15]. 모든 공정은 PES(Polyethersulfone) 기판에서 진행하여 유연한 특성을 갖는 저항변화 메모리 소자를 구현할 수 있었다. 그림 6b는 $\text{Al}/\alpha\text{-TiO}_2/\text{Al}$ 구조의 유연 저항변화 메모리의 전류-전압 곡선이다[16]. 앞서 언급한 AlO_x 메모리와는 달리 저항변화 현상이 하나의 극성이 아닌 서로 반대의 극성에서 원하는 저항 상태로 변화가 이루어지는 양극성(bipolar) 특성[12]을 보이며, PEALD(plasma enhanced atomic layer deposition) 방식으로 저온에서 $\alpha\text{-TiO}_2$ 물질을 증착하여 유연 메모리를 제작할 수 있었다. 그림 6c는 PI 기판 위에 Ni/GeO/HfON/TaN 구조를 형성하여 제작한 양극성 유연 저항변화 메모리의 특성을 보여주고 있다[17]. 마지막으로, 그림 6d는 투명하고 유연한 fluoropolymer 기판에 graphene/ SiO_x /graphene 구조의 투명한 메모리 소자를 적용하여 유연한 특성을 갖는 투명 저항

변화 메모리를 제작할 수 있는 가능성을 제시하였다[18].

그림 6에서 언급된 연구 결과들은 다양한 산화물 소재를 이용하여 유연 메모리를 구현하였지만 선택 소자 없이 메모리 구동이 유연기판에서 가능함을 증명하는 수준에 그치고 있다. 앞서 설명한 것처럼, 메모리 구동을 위해서는 메모리 역할을 하는 메모리 셀과 메모리 상태를 제어할 수 있는 고성능 선택 소자를 집적시켜야 한다[13, 14, 19]. 산화물 반도체를 선택 소자로 이용한 크로스바(crossbar) 형태의 1Diode-1Resistor(1D-1R)[13, 14] 또는 1Selector-1Resistor(1S-1R)[19] 구조의 저항변화 메모리를 실리콘 또는 유리 기판에 제작한 선행 연구들이 있었지만 유연기판은 선택 소자 제작 공정 과정에서 신뢰성에 부정적인 영향을 미치는 표면 거칠기(surface roughness), 흡습성 및 열적 특성이 유리나 실리콘 기판과는 달리 선택 소자 제작 공정에

적합하지 않으므로 고성능의 산화물 반도체 기반 선택 소자를 집적하는 데에 어려움이 따르고 있었다. 최근 연구에서는 이를 극복할 수 있는 대안으로 1S-1R 구조의 메모리를 산화물 소재를 이용하여 유리 기판에 제작한 후, 메모리 소자를 유연기판에 옮기는 Inorganic Laser lift-off(ILLO) 공법을 엑시머(excimer) 레이저를 통해 적용하여 완전구동 가능한 유연 메모리 소자 구현의 가능성을 보여주었다[20]. 이로 인해 기존의 유연기판에서의 산화물 반도체 소재를 이용한 선택 소자 제작의 어려움을 해결할 수 있었다. 그림 7(a)는 ILLO를 사용한 유연 저항변화 메모리 소자의 제작 공정 과정을 나타낸다[20]. ILLO 공법으로 유리 기판으로부터 메모리 층을 분리 하기 위해서 레이저 반응물질인 a-Si을 PECVD(plasma enhanced chemical vapor deposition) 방식으로 유리 기판에 메모리 소자를 제작하기에 앞서 증착하였다. ILLO공법은 a-Si에 수소가 포함되어 있을 때 레이저의 에너지로 인해 실리콘이 녹고 이로 인해 수소가 분리되어 빠져나오면서 유리 기판과 분리되는 현상을 이용한 방법이다[20]. 그림 7(b)는 유연기판에 전사된 1S-1R 구조의 메모리 소자 사진을 보여주고 있다. Ni/TiO₂/Ni 구조의 쇼트키 방출 선택 소자(schottky emission selector)와 Ni/NiO_x/Pt 구조의 저항변화 메모리를 집적시켜 1S-1R 크로스바 구조의 저항변화 메모리를 제작하였다[20]. 그림 7(c)는 제작된 유연 메모리의 전류-전압 곡선 특성을 나타내고 있으며, 선택 소자로 인해 셀 간의 간섭문제를 해결할 수 있음을 증명하였다. 이 연구는 산화물 기반의 선택 소자가 집적된 대면적의 저항변화 메모리의 제작을 위해 ILLO 공법이 적용되었다는 것이 주목할 만 하며, 더 나아가 유리 기판에서 제작이 가능한 다양한 무기물 기반의 고성능 전자소자들에 응용하여 웨어러블/플렉시블 전자소자 시스템 구현에 적용할 수 있을 것으로 예상된다.

3. 유기 소재를 이용한 유연 메모리 소자

유기 소재를 이용한 유연 전자소자에 대한 연구는 오래 전부터 활발하게 진행되고 있다. 실리콘 혹은 산화물 기반의 기존 전자소자들과 비교했을 때 성능면에서 상당한 격차를 보이고 있지만, 유기 소재를 이용한 전자소자는 제조가격이 저렴하고 제작기술이 간단하며, 저온 공정과 유기 소재의 장점인 휘어지는 특성으로 인해 유연기판에 적용할 수 있는 장점이 있어 많은 관심을 받고 있다[21, 22]. 유기 소재를 이용한 다른 전자소자들과 더불어 유기 또는 고분자 소재 기반의 비휘발성 메모리 소자는 차세대 전자소자의 한 구성요소로서 매우 큰 기대를 모으고 있는 분야이다[23]. 유기 소재 기반의 유연 비휘발성 메모리 소자로서 연구되고 있는 대표적인 차세대 메모리 소자는 저항변화 메모리[23, 24], 플래시 메모리[25], 그리고 강유전체 메모리(ferroelectric memory)[26] 등이 있다.

그림8은 유기 소재를 이용한 휘어지는 환경에서 저항변화 메모리 동작을 보여주는 유연 메모리를 보여주고 있다[23]. 유연 메모리 제작을 위해 PET기판 위에 하부전극을 형성하고 그 위에 PI와 PCBM(6-

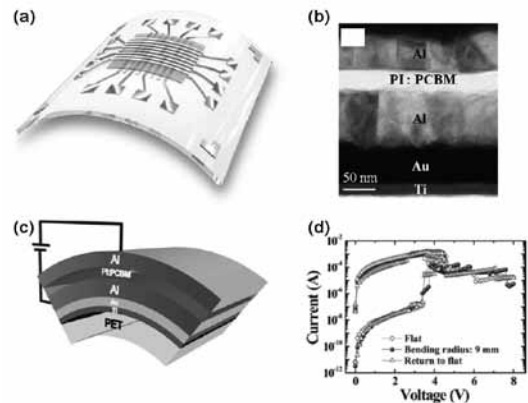


그림 8. (a) 유연 유기 메모리 소자의 모식도 (b) 유연 유기 메모리 소자의 TEM 단면도 (c) 유연 유기 메모리 소자의 그림 단면도 (d) 유연 유기 메모리 소자의 전류-전압 특성[23]

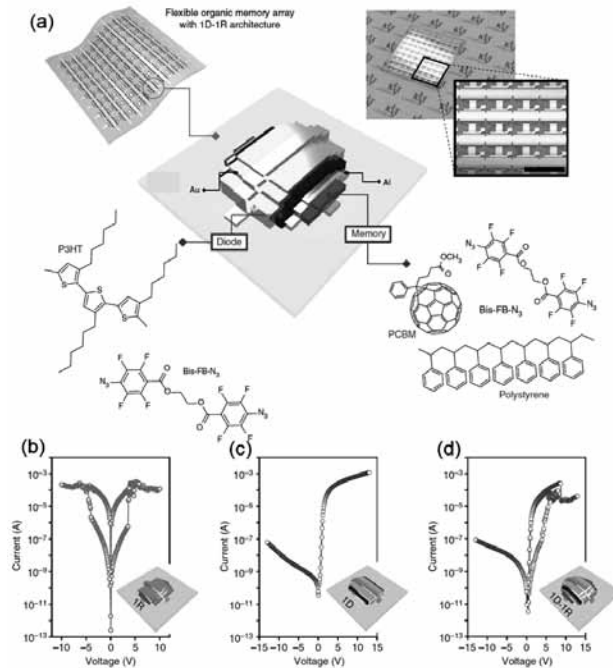


그림 9. (a) 1D-1R 구조의 유연 유기 메모리 소자의 모식도 및 실제 소자 사진 (b) 유기 1R의 전류-전압 특성 (c) 유연 1D의 전류-전압 특성 (d) 유연 1D-1R의 전류-전압 특성[24]

phenyl-C61 butyric acid methyl ester) 분자를 혼합한 유기 물질을 스핀 코팅한 후 최종적으로 상부전극을 증착하여 유연 저항변화 메모리를 완성하였다[23]. 이후 특성평가를 통해 휘어지는 환경에서도 안정적으로 메모리 소자가 동작함을 확인하였다. 이 연구에서는 비록 선택 소자를 집적시킨 완전한 구조의 유기 메모리 소자를 완성하지는 못했지만, 유기 소재를 이용하여 저항변화형 유기 유연 메모리의 구현 가능성을 제시했다는 데에 의미가 있다.

앞서 언급한 휘어지는 특성의 유기 저항변화 메모리를 제작하는 것 이외에 셀 간의 간섭문제를 해결하기 위해, 최근에는 유기 소재 기반의 다이오드를 선택 소자로 집적시킨 1D-1R 구조의 유연 저항변화 메모리가 보고되었다 (그림9)[24]. 기존 유기 메모리 소자의 대표적인 공정인 스핀 코팅과정에서 연속적인 공

정 수행 시, 메모리 소자 층 혹은 선택 소자 층이 손상되는 문제점이 있었다. 이 연구에서는 이러한 문제점을 해결하기 위해 저온공정에서 패턴을 만들 수 있는 크로스링커(crosslinker) 제작 방법을 활용하였다. 크로스링커 방식은 연속적인 층을 만드는 공정에서 유기 메모리 층과 유기 선택 소자 층이 서로 손상을 입지 않는 공법이며[24, 27], 이로 인해 유기 소재를 이용하여 1D-1R 구조의 유연 저항변화 메모리 소자를 제작할 수 있었다. 그림9에서 볼 수 있듯이 P3HT(poly(3-hexylthiophene)) 소재를 이용한 유기 다이오드와 PS(polystyrene) 물질과 PCBM(6-phenyl-C61 butyric acid methyl ester) 분자를 혼합한 유기 물질 기반으로 한 유기 메모리 소자를 이용하였다[24]. 소자의 특성평가를 통해, 다이오드의 한 방향으로 전류를 흐르게 하는 정류특성으로 인접한 메모리 셀간의 간섭

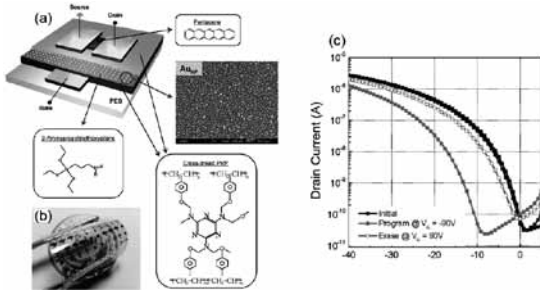


그림 10. (a) 유연 유기 플래시 메모리 소자의 모식도 (b) 유연 유기 플래시 메모리 소자의 사진 (c) 유연 유기 플래시 메모리 소자의 전류-전압 특성[25]

현상을 제어 할 수 있음을 증명하였다.

유기 소재 기반의 유연 비휘발성 메모리 중에서 현재 주목받는 대표적인 메모리 소자 중 하나는 플래시 메모리이다[21, 25, 28]. 플래시 메모리는 현재 가장 많이 사용되는 비휘발성 메모리로 전통적으로 플로팅 게이트(floating gate)라고 불리는 박막 층에 전하를 저장하거나 제거하는 것이 가능한데, 이러한 전

하 저장 유무에 따라 유도되는 문턱전압의 변화 현상을 이용한 메모리 소자이다. 그림 10은 유기 소재를 이용하여 제작된 유연 플래시 메모리 구조의 모식도 및 사진을 보여주고 있다[25]. 플래시 메모리 동작을 위해, PES 기판 위에 유기 트랜지스터 소자를 구현하고, blocking oxide 층과 tunneling oxide 층은 cross-linked PVP(polyvinylpyrrolidone) 층을 이용하였고 정보 저장 층은 전하를 저장하는 능력이 뛰어난 금 나노입자를 적용하였다[25]. 이렇게 제조된 유연 플래시 메모리는 쉽게 휘고 접을 수 있는 형태의 메모리 소자라는 큰 장점이 있고, 실제로 1000회 이상 반복적으로 휘거나 구부러도 저장된 정보가 소실되지 않는 특성을 보고하였다.

유연 메모리 소자 구현을 위해 유기 소재를 강유전체 메모리 소자의 절연막으로 사용하여 유연 강유전체 메모리 소자를 개발하고자 하는 연구가 활발히 진행되고 있다[26]. 차세대 비휘발성 메모리 중 하나인 강유전체 메모리는 강유전체를 절연막으로 사용하여 여기

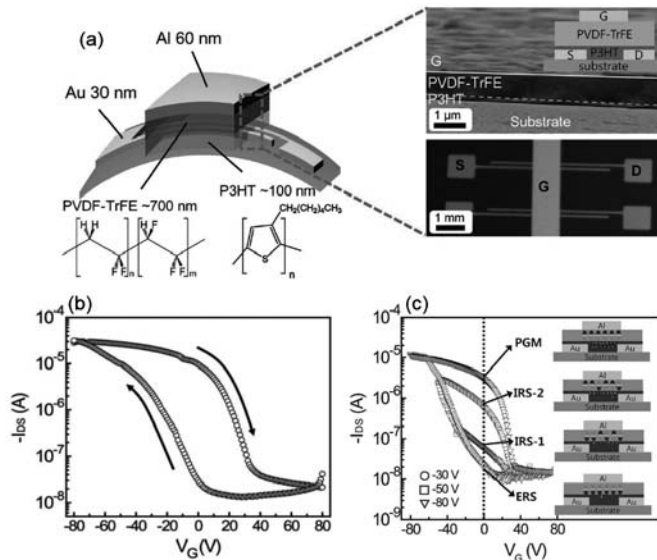


그림 11. (a) 유연 유기 강유전체 메모리 소자의 모식도 및 사진 (b) 유연 유기 강유전체 메모리 소자의 전류-전압 특성 (c) 유연 유기 강유전체 메모리의 멀티 레벨 특성[26]

에 게이트 전압을 인가, 분극의 방향을 제어함으로써 정보를 저장할 수 있는 메모리 소자이다[26]. 그림 11는 유기 소재를 이용한 강유전체 메모리의 모식도 및 전기적 특성을 나타내고 있다[26]. 우수한 잔류 분극 특성을 위해 강유전성을 가지는 고분자인 PVDF-TrFE(poly(vinylidene fluoride-trifluoroethylene))를 이용하였고 트랜지스터의 채널로 사용되는 고분자 반도체로는 P3HT(poly(3-hexylthiophene))를 적용하였다[26]. 이 연구는 지금까지 연구된 유연 강유전성 메모리와는 달리 전압의 크기를 변화시킴으로써 강유전체 고분자의 분극을 부분적으로 제어할 수 있다는 사실을 통해 멀티 레벨(multilevel) 특성을 갖는 유연 강유전체 메모리 개발에 접근할 수 있는 계기를 마련하였다는데 큰 의의가 있다.

4. 탄소나노튜브/그래핀을 이용한 유연 메모리 소자

탄소기반 나노소재의 등장 이후, 매우 큰 발전을 이루고 있는 분야 중 하나는 탄소나노튜브 또는 그래핀 소재 기반의 전자소자의 제작에 관한 연구분야이다[29]. 특히 탄소나노튜브와 그래핀은 뛰어난 유연성 및 우수한 전기적 특성으로 인해 다양한 유연 전자 소자 제작을 위한 연구가 활발하게 이루어지고 있으며[30, 31] 최근에는 유연 메모리 소자에서 메모리 동작 소재로 사용한 연구가 보고되고 있다.[32-34]

그림 12(a)는 탄소나노튜브 소재를 용액 공정(solution process)를 통해 저항변화 물질로 적용하여 제작된 유연 저항변화 메모리의 제작과정 모식도를 보여주고 있다[33]. PS 물질과 붕소 및 질소 도핑된 탄소나노튜브의 복합물질을 이용함으로써 전하 저장 레벨(charge trap level)을 제어할 수 있는 특성을 통해 유연 메모리 소자의 구현이 가능했으며 또한, 그림 12(d)에서 볼 수 있듯이, 이를 통해 멀티 레벨 동작도 가능함

을 보고하였다[33]. 유연기판에서 용액 공정을 적용하여 제작된 탄소나노튜브 복합 물질 기반의 유연 메모리 소자는 멀티레벨 동작이 가능하면서 유연한 특성을 보이므로, 고집적 유연 메모리 제작 가능성을 제시하고 있다.

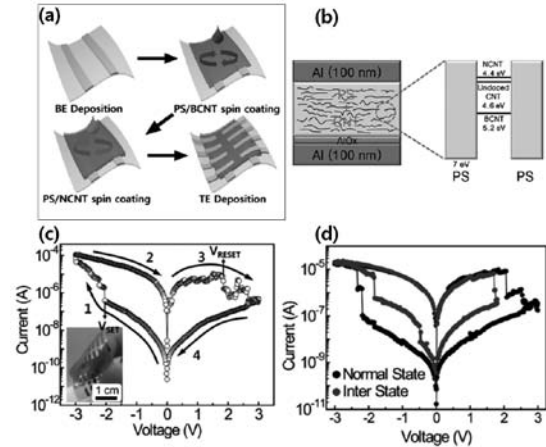


그림 12. (a) 탄소나노튜브 소재를 이용한 유연 저항변화 메모리 소자의 제작과정의 모식도 (b) 탄소나노튜브 소재를 이용한 저항변화 메모리의 단면도 (c) 탄소나노튜브 소재를 이용한 유연 저항변화 메모리의 전류-전압 특성 (d) 탄소나노튜브 소재를 이용한 유연 저항변화 메모리의 멀티레벨 동작 특성[33]

그래핀 물질은 뛰어난 재료적 유연성을 가지고 있을 뿐만 아니라 투명한 광학적 성질을 가지고 있어 투명한 기판 및 전극 물질과 함께 소자 제작이 이루어진다면 유연 투명 메모리 개발에 이용될 수 있다[35, 36]. 그림 13는 최근에 보고된 투명한 유연 전하 트랩(charge trap) 방식의 메모리의 제조공정 모식도 및 광학적, 전기적 특성들을 나타내고 있다[34]. 이 메모리 소자에서 그래핀 물질은 전하 저장 층으로 사용하였으며, 가시광선 영역에서 80% 이상의 우수한 투과도 특성을 보이는 유연 메모리를 개발하였다[34]. 투명한 유연 메모리 소자는 투명 전자기기 및 웨어러블/플렉시블 전자기기 개발에 반드시 필요하므로, 이러한 차세대 전자기기 개발에 크게 기여할 것으로 전망된다.

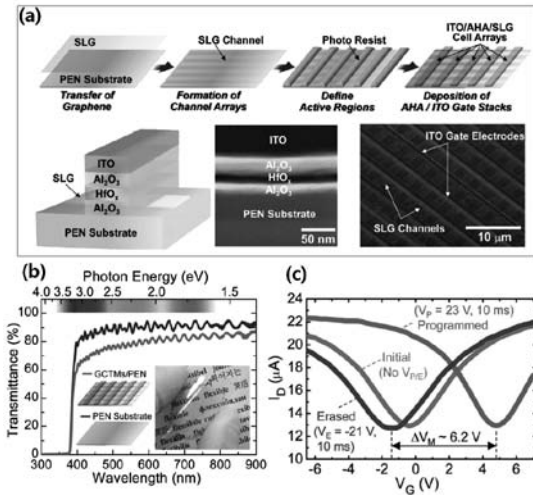


그림 13. (a) 전하 트랩 메모리의 제작과정을 나타내는 모식도 및 메모리 소자 단면도 (b) 유연 메모리의 광학적 특성 (c) 유연 메모리의 전기적 특성[34]

5. 맺음말

현재까지 보고된 실리콘, 산화물, 유기물 및 탄소나노튜브/그래핀 소재 기반의 유연 메모리 및 집적회로 소자의 연구 개발 동향에 대해서 알아보았다. 웨어러블/플렉시블 전자기기에 실제로 적용할 수 있는 상용화 가능 수준의 유연 메모리 및 집적회로 소자 제작을 위해서는 아직 해결해야 할 과제가 많이 남아있지만, 투명하거나 유연한 기판 위에 일정 집적도 이상의 메모리 및 집적회로 소자를 구현할 수 있는 공정 요소기술이 개발되고 있다는 측면에서 유연 전자소자의 발전 가능성은 무궁무진하다. 웨어러블 전자기기를 구현하기 위해서는 전자소자의 소형화, 저전력 구동이 필수적일 뿐만 아니라 웨어러블 전자기기에 구동에서 고려해야 할 외부 환경 변화에 부합하는 기계적 특성(다양한 방향으로 휘어지거나 늘어나는 상황), 열적 특성(신체의 온도변화), 광학적 특성(투명 전자소자) 등 웨어러블 전자기기에 적합한 전자소재를 개발하는 것이 매우 중

요할 것으로 판단된다. 이를 위해서 유연 메모리 및 집적회로 소자의 소재 및 소자 구조에 따라 달라지는 기계적, 열적, 광학적, 전기적 특성에 대한 성능 향상에 관한 연구와 함께, 현재의 메모리 및 집적회로 소자의 소재를 충분히 활용하면서 웨어러블 전자기기 구동에서 고려해야 할 외부 환경 변화에 따른 소자 성능 유지를 위한 웨어러블/플렉시블 전자 패키징 기술에 대한 연구 역시 동시에 이루어져야 할 것으로 전망된다.

6. 참고문헌

1. S. Kim, H. Y. Jeong, S. K. Kim, S. Y. Choi and K. J. Lee, *Nano Lett.* **11**, 5438 (2011).
2. E. Menard, K. J. Lee, D. Y. Khang, R. G. Nuzzo and J. A. Rogers, *Appl. Phys. Lett.* **84**, 5398 (2004).
3. K. J. Lee, M. A. Meitl, J. H. Ahn, J. A. Rogers, R. G. Nuzzo, V. Kumar and I. Adesida, *J. Appl. Phys.* **100**, 124507 (2006).
4. M. J. Lee, C. B. Lee, D. Lee, S. R. Lee, M. Chang, J. H. Hur, Y. B. Kim, C. J. Kim, D. H. Seo, S. Seo, U. I. Chung, I. K. Yoo and K. Kim, *Nat. Mater.* **10**, 625 (2011).
5. K. H. Kim, S. Gaba, D. Wheeler, J. M. Cruz-Albrecht, T. Hussain, N. Srinivasa and W. Lu, *Nano Lett.* **12**, 389 (2012).
6. G. H. Kim, J. H. Lee, Y. Ahn, W. Jeon, S. J. Song, J. Y. Seok, J. H. Yoon, K. J. Yoon, T. J. Park and C. S. Hwang, *Adv. Funct. Mater.* **23**, 1440 (2013).
7. E. Linn, R. Rosezin, C. Kugeler and R. Waser, *Nat. Mater.* **9**, 403 (2010).
8. H. G. Yoo, S. Kim and K. J. Lee, *RSC Adv.* **4**, 20017 (2014).
9. B. H. Mun, B. K. You, S. R. Yang, H. G. Yoo, J. M. Kim, W. I. Park, Y. Yin, M. Byun, Y. S. Jung and K. J. Lee, *ACS Nano* **9**, 4120 (2015).

10. G. T. Hwang, D. Im, S. E. Lee, J. Lee, M. Koo, S. Y. Park, S. Kim, K. Yang, S. J. Kim, K. Lee and K. J. Lee, *Acs Nano* **7**, 4545 (2013).
11. D. Shahrjerdi and S. W. Bedell, *Nano Lett.* **13**, 315 (2013).
12. H. S. P. Wong, H. Y. Lee, S. M. Yu, Y. S. Chen, Y. Wu, P. S. Chen, B. Lee, F. T. Chen and M. J. Tsai, *Proc. IEEE* **100**, 1951 (2012).
13. J. W. Seo, S. J. Baik, S. J. Kang, Y. H. Hong, J. H. Yang and K. S. Lim, *Appl. Phys. Lett.* **98**, 233505 (2011).
14. M. J. Lee, S. Seo, D. C. Kim, S. E. Ahn, D. H. Seo, I. K. Yoo, I. G. Baek, D. S. Kim, I. S. Byun, S. H. Kim, I. R. Hwang, J. S. Kim, S. H. Jeon and B. H. Park, *Adv. Mater.* **19**, 73 (2007).
15. S. Kim and Y. K. Choi, *Appl. Phys. Lett.* **92**, 223508 (2008).
16. H. Y. Jeong, Y. I. Kim, J. Y. Lee and S. Y. Choi, *Nanotechnology* **21**, 115203 (2010).
17. C. H. Cheng, F. S. Yeh and A. Chin, *Adv. Mater.* **23**, 902 (2011).
18. J. Yao, J. Lin, Y. H. Dai, G. D. Ruan, Z. Yan, L. Li, L. Zhong, D. Natelson and J. M. Tour, *Nat. Commun.* **3**, 1101 (2012).
19. W. Lee, J. Park, S. Kim, J. Woo, J. Shin, G. Choi, S. Park, D. Lee, E. Cha, B. H. Lee and H. Hwang, *Acs Nano* **6**, 8166 (2012).
20. S. Kim, J. H. Son, S. H. Lee, B. K. You, K. I. Park, H. K. Lee, M. Byun and K. J. Lee, *Adv. Mater.* **26**, 7480 (2014).
21. T. Sekitani, T. Yokota, U. Zschieschang, H. Klauk, S. Bauer, K. Takeuchi, M. Takamiya, T. Sakurai and T. Someya, *Science* **326**, 1516 (2009).
22. T. Sekitani, U. Zschieschang, H. Klauk and T. Someya, *Nat. Mater.* **9**, 1015 (2010).
23. Y. Ji, B. Cho, S. Song, T. W. Kim, M. Choe, Y. H. Kahng and T. Lee, *Adv. Mater.* **22**, 3071 (2010).
24. Y. Ji, D. F. Zeigler, D. S. Lee, H. Choi, A. K. Y. Jen, H. C. Ko and T. W. Kim, *Nat. Commun.* **4**, 2707 (2013).
25. S. J. Kim and J. S. Lee, *Nano Lett.* **10**, 2884 (2010).
26. S. K. Hwang, I. Bae, R. H. Kim and C. Park, *Adv. Mater.* **24**, 5910 (2012).
27. T. W. Kim, D. F. Zeigler, O. Acton, H. L. Yip, H. Ma and A. K. Y. Jen, *Adv. Mater.* **24**, 828 (2012).
28. K. J. Baeg, D. Khim, J. Kim, B. D. Yang, M. Kang, S. W. Jung, I. K. You, D. Y. Kim and Y. Y. Noh, *Adv. Funct. Mater.* **22**, 2915 (2012).
29. P. Avouris, Z. H. Chen and V. Perebeinos, *Nat. Nanotechnol.* **2**, 605 (2007).
30. I. Lahiri, V. P. Verma and W. Choi, *Carbon* **49**, 1614 (2011).
31. S. Park, M. Vosguerichian and Z. A. Bao, *Nanoscale* **5**, 1727 (2013).
32. H. Y. Jeong, J. Y. Kim, J. W. Kim, J. O. Hwang, J. E. Kim, J. Y. Lee, T. H. Yoon, B. J. Cho, S. O. Kim, R. S. Ruoff and S. Y. Choi, *Nano Lett.* **10**, 4381 (2010).
33. S. K. Hwang, J. M. Lee, S. Kim, J. S. Park, H. I. Park, C. W. Ahn, K. J. Lee, T. Lee and S. O. Kim, *Nano Lett.* **12**, 2217 (2012).
34. S. M. Kim, E. B. Song, S. Lee, J. F. Zhu, D. H. Seo, M. Mecklenburg, S. Seo and K. L. Wang, *Acs Nano* **6**, 7879 (2012).
35. K. S. Kim, Y. Zhao, H. Jang, S. Y. Lee, J. M. Kim, K. S. Kim, J. H. Ahn, P. Kim, J. Y. Choi and B. H. Hong, *Nature* **457**, 706 (2009).
36. S. P. Pang, Y. Hernandez, X. L. Feng and K. Mullen, *Adv. Mater.* **23**, 2779 (2011).